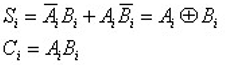
**加法器及其应用**

**李明达 PB18020616**

1. **实验目的**
2. 掌握组合逻辑电路的设计方法，理解半加器和全加器的逻辑功能。
3. 掌握中规模集成电路加法器的工作原理及其逻辑功能。
4. **实验原理**

在数字系统中，经常需要算数运算，逻辑操作和数字比较等操作中，实现这些运算功能的电路是加法器。加法器是一种组合逻辑电路，主要功能是实现二进制数的算数加法运算。

* 半加器
  + 半加器完成两个一位二进制数相加，若只考虑两个加数本身，而不考虑来自相邻低位的进位，称为半加，实现半加运算功能的电路称为半加器。
  + 由真值表可得出半加器的逻辑表达式：



* + 半加器的电路图和符号如图所示：

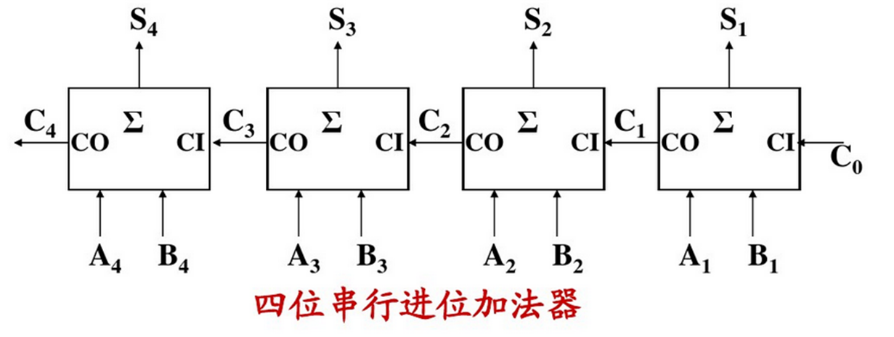


* 全加器
  + 两个多位数相加是每一位都是带进位相加，所以必须用全加器。这时只要依次将低位的进位输出接到高位的输入，就可构成多位加法器了。
  + 全加器是一种由被加数、加数和来自低位的进位数三者相加的运算器。基本功能是实现二进制加法。
  + 逻辑表达式、真值表和逻辑图及符号如下所示：



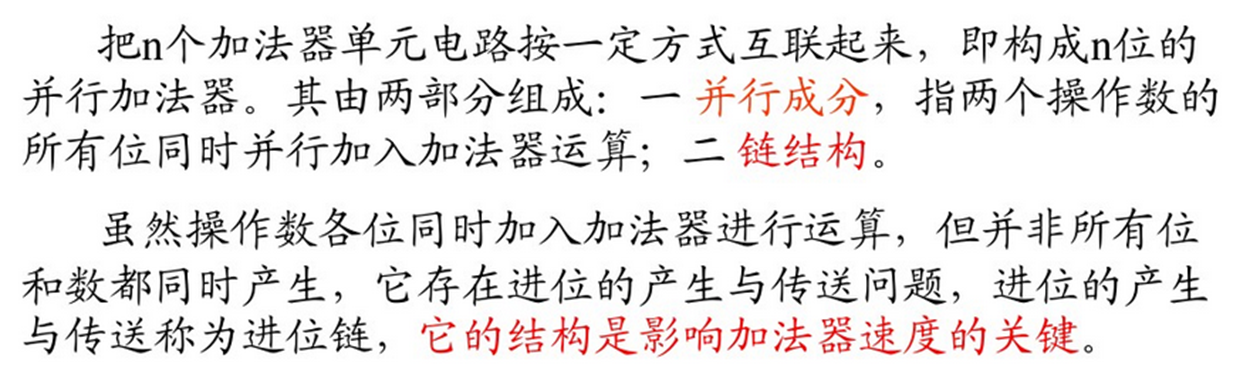


* 串行进位加法器

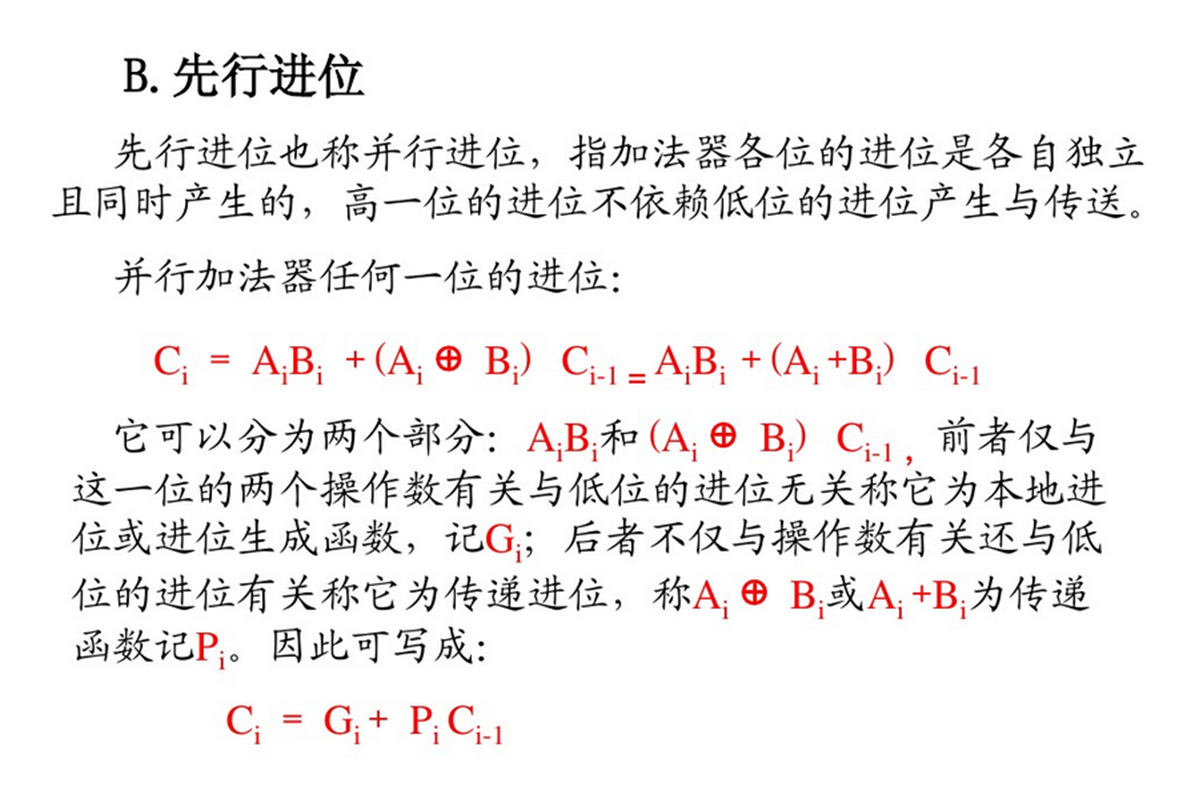


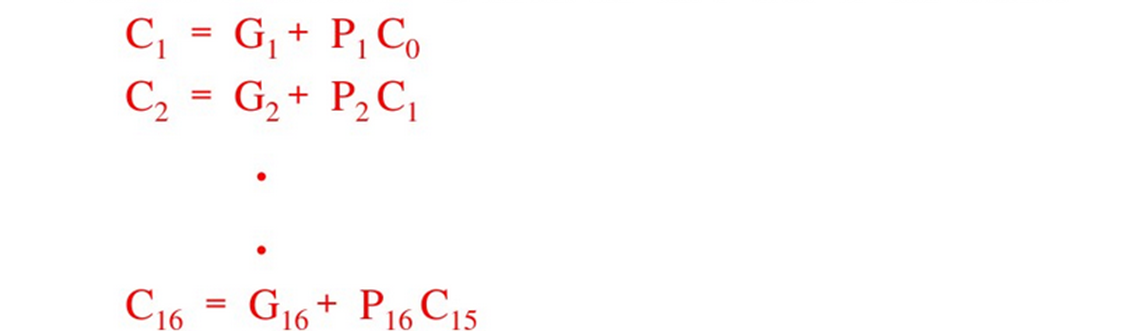
特点：结构简单，运算速度慢

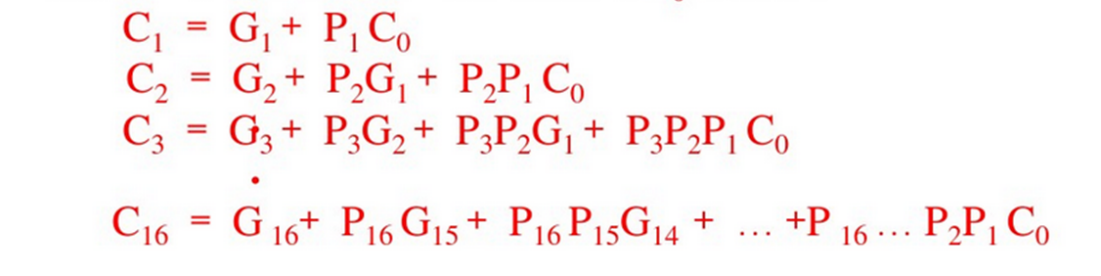
* 并行加法器
  + 进位链



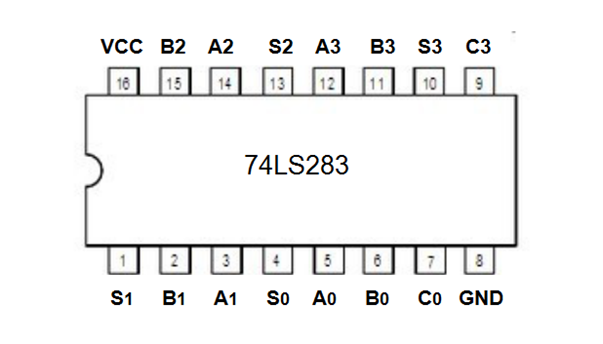
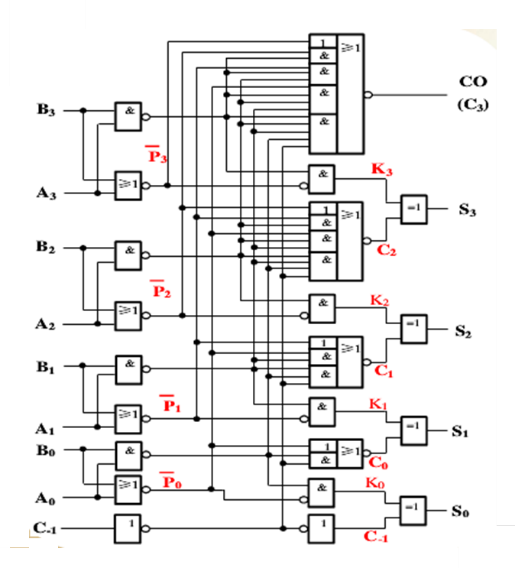
* 先行进位



* + 以16位加法器为例，在行波进位器中有如下进位关系：
  + 由此，可递推出各位进位直接与的关系：

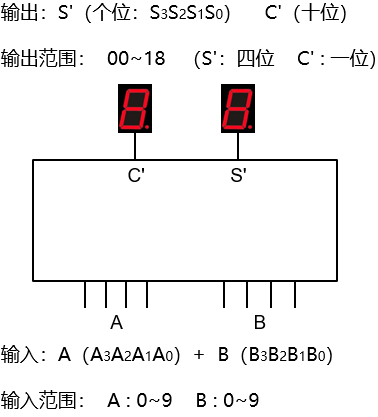


* 超前进位并行加法器
  + 超前进位电路构成的快速进位的4位全加器电路74LS283，可实现两个四位二进制的全加。
  + 加进位输入C0和进位输出C3主要用来扩大加法器字长，作为组间行波进位之用。由于它采用超前进位方式，所以进位传送速度快。



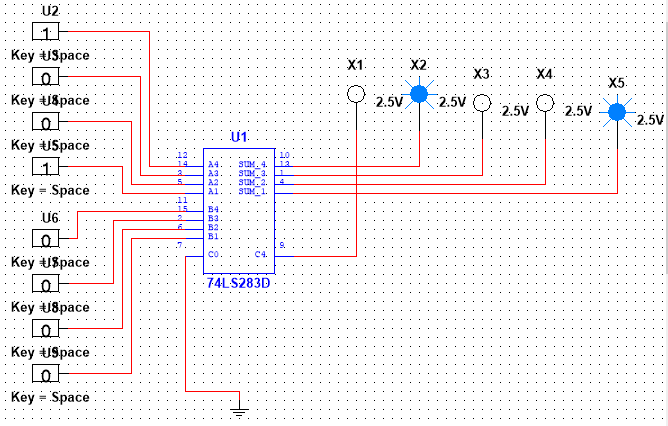
1. **实验内容**

**实验任务一**：用74LS283构成一位8421BCD码加法器



注意：将74LS283的4位输出送至74LS48，ABCD顺序为从低到高，再将74LS48输出依次接至七段数码管；七段数码管在Indicators 的HEX\_DISPLAY 中。74LS48的三个控制端均接高电平。

Multisim 仿真电路如图所示：



固定A1001，记录表格如下：

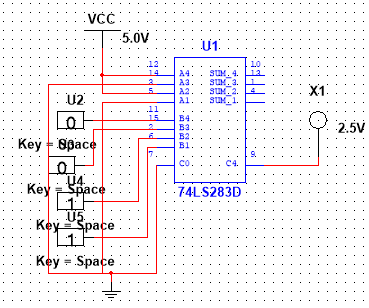
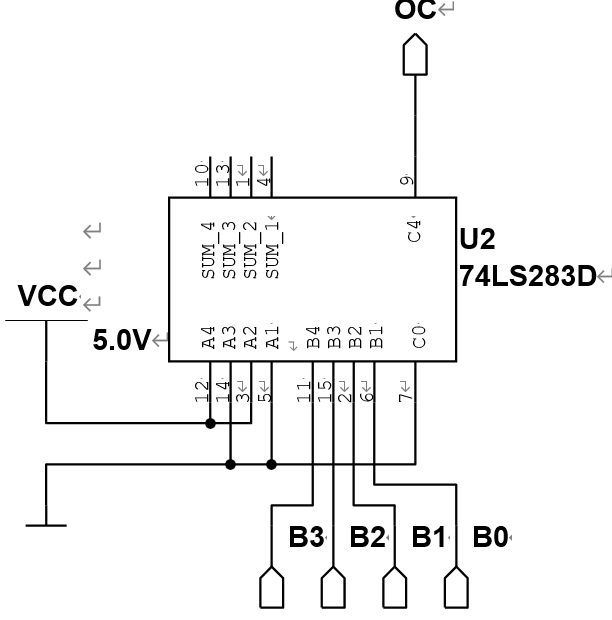
|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| B | 0000 | 0001 | 0010 | 0011 | 0100 | 0101 | 0110 | 0111 | 1000 | 1001 |
| A+B | 1001 | 1010 | 1011 | 1100 | 1101 | 1110 | 1111 | 10000 | 10001 | 10010 |

芯片工作正常，电路正确连接，实验现象明显。

**实验任务二**：用一片74LS283实现数据比较功能，要求输入（四位二进制）<11时输出一位低电平，≥11时输出一位高电平，要求画出逻辑功能图并记录结果。

分析：此电路可以利用全加器的进位端方便的实现，若将 A 置为 (5)10=（0101)2，即可当输入*B* ≥ (11)10 时，输出 *A* + *B* 溢出，可将进位输出 C 作为电路输出。5+11=16

电路设计:与上面图中电路基本一致，只需将高的 A 管脚更换，并仅保留进位输出端作为输出，注意不应遗忘电源端 16 脚与地端 8 脚，不使用的电路输入端应该接地。电路设计和Multisim仿真电路如下：



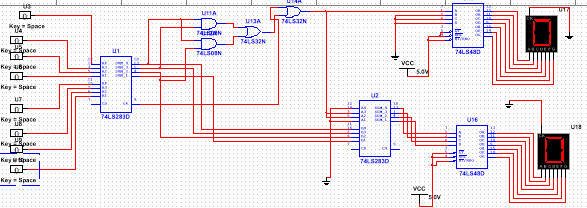
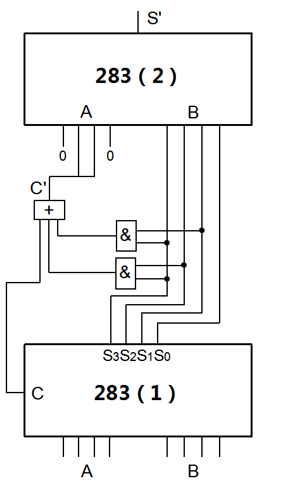
|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| B | 0000 | 0001 | 0010 | 0011 | 0100 | 0101 | 0110 | 0111 | 1000 |
| 结果 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 1001 | 1010 | 1011 | 1100 | 1101 | 1110 | 1111 |
| 0 | 0 | 1 | 1 | 1 | 1 | 1 |

芯片工作正常，电路正确连接，实验现象明显。

实验任务三：用两片74LS283和必要的门电路实现两个8421BCD码求和运算，结果仍为8421BCD码，要求画出逻辑功能图

逻辑功能图和电路图如下所示：



芯片工作正常，电路正确连接，实验现象明显。

1. **实验总结**

本实验利用Multisim软件进行门电路相关的实验，由于用电脑模拟基本上是理想的，所以实验结果和模拟的时间、环境条件几乎无关，因此实验可重复性比较高，比实际情况得到的结果更加理想，完成效果非常好。而本次实验我们主要利用了74LS283等芯片，实现了并行的四位全加。通过老师上课的讲解，明白了溢出来实现输入减法的功能，从而实现了数据比较，在<11时候，输出低电平，在>11时输出高电平。并且结合门电路来实现两种码求和的功能。最后，还结合与非门，设计了全加器,让我们强化了对实验的理解。

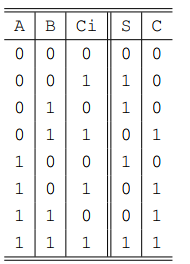
我们在电路的模拟情景下，理解半加器和全加器的功能，掌握了中规模集成电路加法器的工作原理和逻辑功能。对并行加法器、先行进位、超前进位并行加法器有着更加具体生动的理解。这些要比之前的很多实验更有意思，也更能体会到设计的乐趣。

这些操作加深了我们对门电路工作原理的认识，也锻炼了我们对电子图像的认识和直观感知能力，同时又培养了我们对电子元件的兴趣。

1. **思考题**

全部采用与非门设计，实现一位全加器。

答：全加器的逻辑功能如下表：



下面是电路设计图，其中S0,S1,S2,S3是各位输出，C是10位输出，下面输入端从左到右分别代表（A）被加数输入，（B）加数输入。

